

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-44776

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 17/50

識別記号

庁内整理番号

9191-5H

F I

G 0 6 F 15/ 60

技術表示箇所

6 5 8 K

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平6-178325

(22)出願日 平成6年(1994)7月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 飯田 隆司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 角 悟

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

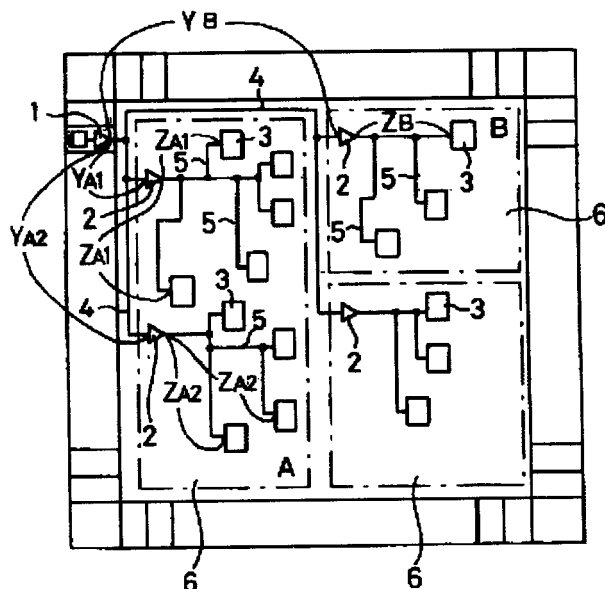
(54)【発明の名称】 半導体集積回路のクロック配線回路の設計方法

(57)【要約】

【目的】 半導体集積回路のクロック配線回路の設計方法に関するものであり、回路素子に印加されるクロック信号の時間差であるクロックスキューを抑制する改良である。

【構成】 論理設計を行い、次に、レイアウト設計を行い、クロックバッファ2をツリー状に配置する半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路にはクロックバッファ2を設けず、I/O入力バッファ1のみを設けてクロック信号を必要とする回路素子3に直接接続し、レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子3の数より決まるクロックバッファ2をツリー状に配置し、クロック配線枝パターン5は、クロック配線幹パターン4の遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくように配置する半導体集積回路のクロック配線回路の設計方法である。

本発明のレイアウト設計時の最終配置図



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-44776

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50		9191-5H	G 0 6 F 15/ 60	6 5 8 K

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平6-178325

(22)出願日 平成6年(1994)7月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 飯田 隆司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 角 悟

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

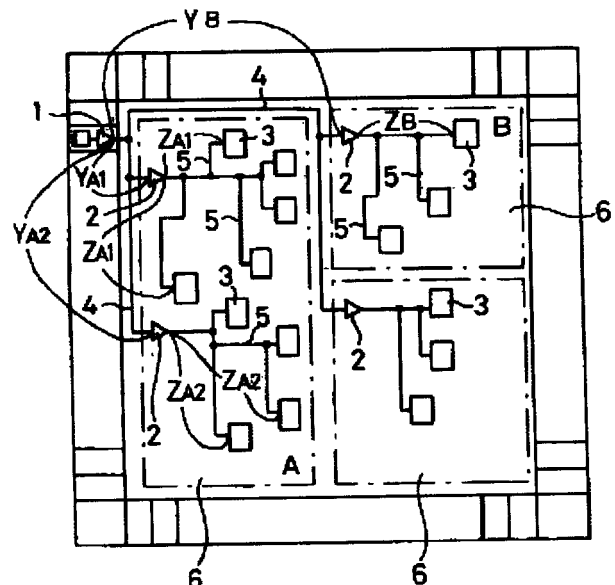
(54)【発明の名称】 半導体集積回路のクロック配線回路の設計方法

(57)【要約】

【目的】 半導体集積回路のクロック配線回路の設計方法に関するものであり、回路素子に印加されるクロック信号の時間差であるクロックスキューを抑制する改良である。

【構成】 論理設計を行い、次に、レイアウト設計を行い、クロックバッファ2をツリー状に配置する半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路にはクロックバッファ2を設けず、I/O入力バッファ1のみを設けてクロック信号を必要とする回路素子3に直接接続し、レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子3の数より決まるクロックバッファ2をツリー状に配置し、クロック配線枝パターン5は、クロック配線幹パターン4の遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくように配置する半導体集積回路のクロック配線回路の設計方法である。

本発明のレイアウト設計時の最終配置図



## 【特許請求の範囲】

【請求項1】 論理設計を行い、次に、レイアウト設計を行い、クロックバッファをツリー状に配置する半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路にはクロックバッファを設けず、クロック信号が入力されるI/O入力バッファのみを設け、該I/O入力バッファよりクロック信号を必要とする回路素子に直接接続し、

レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子の数より決まる前記クロックバッファをツリー状に配置し、ツリー状に配置された前記クロックバッファの内直接前記I/O入力バッファと接続されるクロックバッファと前記I/O入力バッファとを接続するクロック配線幹パターンを配置し、ツリー状に配置された前記クロックバッファと前記クロック信号を必要とする回路素子とを接続するクロック配線枝パターンは、該クロック配線枝パターンと関連する前記クロック配線幹パターンの遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくように配置することを特徴とする半導体集積回路のクロック配線回路の設計方法。

【請求項2】 論理設計時の前記I/O入力バッファの遅延時間として、該I/O入力バッファの遅延時間に、前記クロック信号を必要とする回路素子の数より決まる前記クロックバッファの遅延時間と前記配線遅延時間との合計時間を加算した時間であるとして論理設計を行うことを特徴とする請求項1記載の半導体集積回路のクロック配線回路の設計方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路のクロック配線回路の設計方法に関する。クロック信号を必要とする回路素子に印加されるクロック信号が異なる回路素子に対して時間差（クロックスキューと云う。）を生ずる。このクロックスキューの発生を抑制することを可能にする改良に関する。

## 【0002】

【従来の技術】近年、半導体集積回路はより高速で大規模な回路を集積するように要望され、半導体集積回路の構造の微細化が進展している。これに伴い、半導体集積回路内部のクロックスキューを少なくすることが半導体集積回路の性能を最大限に生かすために重要となってきた。このため、従来は論理設計段階において、先ず、要求される仕様を実行しうる論理回路をクロック回路を除いて設計し、次に、この論理回路を達成する機能毎に論理ブロックに分割し、この論理ブロックを構成する回路素子の中のクロック信号を必要とする回路素子に対して、クロックスキューができるだけ発生しないように、クロック回路を設計する。

## 【0003】図4参照

図4は従来技術に係る論理設計時のクロック回路の1例である。図4において、1は外部よりクロック信号が入力されるI/O入力バッファであり、2はクロックバッファであり、3はクロック信号を必要とする回路素子であり、6は論理設計された論理回路を機能毎に分解した論理ブロックである。

【0004】I/O入力バッファ1ならびにクロックバッファ2は共に駆動しうる負荷が決まっている。図4に示す例においては、クロック信号を必要とする回路素子3の数が多いためI/O入力バッファ1のみで全てのクロック信号を必要とする回路素子3を直接駆動することができないので、各論理ブロック6毎にクロックバッファ2を設けている。なお、ある論理ブロック6中のクロック信号を必要とする回路素子3の数が多きときは、その論理ブロック6に複数のクロックバッファ2を設けることとなる。そして、クロックバッファ2の数が多くなり、I/O入力バッファ1の駆動能力を超えるときは、クロックバッファ2の回路を2段の階層構造とし一つのクロックバッファ2により複数のクロックバッファ2を駆動するように構成する。このように、複数段の階層構造とすることによりクロック信号を必要とする回路素子3の数が多き大規模集積回路にも対処できる。クロックバッファ2の階層構造をツリー状構造またはツリー状配置と呼んでいる。

【0005】ツリー状にクロックバッファ2を配置するとき、I/O入力バッファ1と各クロック信号を必要とする回路素子3との間のクロックバッファ2の数は同一になるように設計し、クロックバッファ2の遅延時間によってクロックスキューが増加しないように配慮している。論理回路ができるとこの論理回路に基づいて仮のシミュレーションにより論理回路の動作確認を行い、論理設計を終了する。

【0006】次のレイアウト設計においては、先ずフロアプランと呼ばれる、半導体基板上に論理ブロック6相互間の関係を考慮して配置した論理ブロック6の配置図を作成する。フロアプランが決まると各論理ブロック6内の各回路素子と各回路素子相互を接続する配線パターンとの詳細配置を決める。これにより、クロック回路の配線パターンが決定され、従来技術に係る半導体集積回路のクロック配線回路の設計方法が終了する。

【0007】なお、レイアウト設計が終了すると論理回路や配線の抵抗や静電容量の計算を行い、これらの値を使用して最終的なシミュレーションを行って半導体集積回路の動作を確認する。要求仕様を満足していることを確認して、半導体集積回路の設計を完了する。

## 【0008】

【発明が解決しようとする課題】ところで、従来技術に係る半導体集積回路のクロック配線回路の設計方法においては、論理設計時にクロック回路の設計を行い、レイアウト設計時にクロック配線パターンの設計を行って

10

20

30

40

50

1

## 【特許請求の範囲】

【請求項1】 論理設計を行い、次に、レイアウト設計を行い、クロックバッファをツリー状に配置する半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路にはクロックバッファを設けず、クロック信号が入力されるI/O入力バッファのみを設け、該I/O入力バッファよりクロック信号を必要とする回路素子に直接接続し、

レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子の数より決まる前記クロックバッファをツリー状に配置し、ツリー状に配置された前記クロックバッファの内直接前記I/O入力バッファと接続されるクロックバッファと前記I/O入力バッファとを接続するクロック配線幹パターンを配置し、ツリー状に配置された前記クロックバッファと前記クロック信号を必要とする回路素子とを接続するクロック配線枝パターンは、該クロック配線枝パターンと関連する前記クロック配線幹パターンの遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくように配置することを特徴とする半導体集積回路のクロック配線回路の設計方法。

【請求項2】 論理設計時の前記I/O入力バッファの遅延時間として、該I/O入力バッファの遅延時間に、前記クロック信号を必要とする回路素子の数より決まる前記クロックバッファの遅延時間と前記配線遅延時間との合計時間を加算した時間であるとして論理設計を行うことを特徴とする請求項1記載の半導体集積回路のクロック配線回路の設計方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路のクロック配線回路の設計方法に関する。クロック信号を必要とする回路素子に印加されるクロック信号が異なる回路素子に対して時間差（クロックスキューと云う。）を生ずる。このクロックスキューの発生を抑制することを可能にする改良に関する。

【0002】

【従来の技術】 近年、半導体集積回路はより高速で大規模な回路を集積するように要望され、半導体集積回路の構造の微細化が進展している。これに伴い、半導体集積回路内部のクロックスキューを少なくすることが半導体集積回路の性能を最大限に生かすために重要となってきた。このため、従来は論理設計段階において、先ず、要求される仕様を実行しうる論理回路をクロック回路を除いて設計し、次に、この論理回路を達成する機能毎に論理ブロックに分割し、この論理ブロックを構成する回路素子の中のクロック信号を必要とする回路素子に対して、クロックスキューができるだけ発生しないように、クロック回路を設計する。

【0003】 図4参照

2

図4は従来技術に係る論理設計時のクロック回路の1例である。図4において、1は外部よりクロック信号が入力されるI/O入力バッファであり、2はクロックバッファであり、3はクロック信号を必要とする回路素子であり、6は論理設計された論理回路を機能毎に分解した論理ブロックである。

【0004】 I/O入力バッファ1ならびにクロックバッファ2は共に駆動しうる負荷が決まっている。図4に示す例においては、クロック信号を必要とする回路素子3の数が多いためI/O入力バッファ1のみで全てのクロック信号を必要とする回路素子3を直接駆動することができないので、各論理ブロック6毎にクロックバッファ2を設けている。なお、ある論理ブロック6中のクロック信号を必要とする回路素子3の数が多きときは、その論理ブロック6に複数のクロックバッファ2を設けることとなる。そして、クロックバッファ2の数が多くなり、I/O入力バッファ1の駆動能力を超えるときは、クロックバッファ2の回路を2段の階層構造とし一つのクロックバッファ2により複数のクロックバッファ2を駆動するように構成する。このように、複数段の階層構造とすることによりクロック信号を必要とする回路素子3の数が多き大規模集積回路にも対処できる。クロックバッファ2の階層構造をツリー状構造またはツリー状配置と呼んでいる。

【0005】 ツリー状にクロックバッファ2を配置するとき、I/O入力バッファ1と各クロック信号を必要とする回路素子3との間のクロックバッファ2の数は同一になるように設計し、クロックバッファ2の遅延時間によってクロックスキューが増加しないように配慮している。論理回路ができるとこの論理回路に基づいて仮のシミュレーションにより論理回路の動作確認を行い、論理設計を終了する。

【0006】 次のレイアウト設計においては、先ずフロアプランと呼ばれる、半導体基板上に論理ブロック6相互間の関係を考慮して配置した論理ブロック6の配置図を作成する。フロアプランが決まると各論理ブロック6内の各回路素子と各回路素子相互を接続する配線パターンとの詳細配置を決める。これにより、クロック回路の配線パターンが決定され、従来技術に係る半導体集積回路のクロック配線回路の設計方法が終了する。

【0007】 なお、レイアウト設計が終了すると論理回路や配線の抵抗や静電容量の計算を行い、これらの値を使用して最終的なシミュレーションを行って半導体集積回路の動作を確認する。要求仕様を満足していることを確認して、半導体集積回路の設計を完了する。

【0008】

【発明が解決しようとする課題】 ところで、従来技術に係る半導体集積回路のクロック配線回路の設計方法においては、論理設計時にクロック回路の設計を行い、レイアウト設計時にクロック配線パターンの設計を行って

た。このため、クロックバッファ2の論理的配置、すなわち、どのクロック信号を必要とする回路素子3を駆動するかは論理設計において既に決められており、レイアウト設計時に、クロックバッファ2やクロック信号を必要とする回路素子3の物理的配置を決めるとき図5のようなことが生ずる。

【0009】図5参照

図5は従来技術に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時の最終配置図である。図5において、4はI/O入力バッファ1とクロックバッファ2とを結ぶクロック配線幹パターンであり、5はクロックバッファ2とクロック信号を必要とする回路素子3とを結ぶクロック配線枝パターンである。クロック信号を必要とする回路素子3の内、aの回路素子とbの回路素子とでは、クロック配線枝パターン5の配線長が大きく異なる。配線長に比例して静電容量と抵抗とが共に増大するため、遅延時間も増大する。このため、遅延時間に差が生じ、論理設計段階では想定していなかったクロックスキューが発生することになる。半導体集積回路が大規模化されるに伴い、全てのクロック配線パターンの配線長を同程度にすることが困難になり、クロックスキューの発生頻度が増大する。このクロックスキューは最終的なシミュレーションにおいて問題が顕在化し、論理設計からやり直す項目にもなりかねない。

【0010】本発明の目的は、これらの問題を解消することにある。大規模な半導体集積回路であってもクロックスキューの発生を抑制しうる半導体集積回路のクロック配線回路の設計方法を提供することにある。

【0011】

【課題を解決するための手段】上記の目的は、論理設計を行い、次に、レイアウト設計を行い、クロックバッファ(2)をツリー状に配置する半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路にはクロックバッファ(2)を設けず、クロック信号が入力されるI/O入力バッファ(1)のみを設け、このI/O入力バッファ(1)よりクロック信号を必要とする回路素子(3)に直接接続し、レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子(3)の数より決まる前記のクロックバッファ(2)をツリー状に配置し、ツリー状に配置された前記のクロックバッファ(2)の内直接前記のI/O入力バッファ(1)と接続されるクロックバッファ(2)と前記のI/O入力バッファ(1)とを接続するクロック配線幹パターン(4)を配置し、ツリー状に配置された前記のクロックバッファ(2)と前記のクロック信号を必要とする回路素子(3)とを接続するクロック配線枝パターン(5)は、このクロック配線枝パターン(5)と関連する前記のクロック配線幹パターン(4)の遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくよう

に配置する半導体集積回路のクロック配線回路の設計方法によって達成される。

【0012】また、論理設計時の前記のI/O入力バッファ(1)の遅延時間として、このI/O入力バッファ(1)の遅延時間に、前記のクロック信号を必要とする回路素子(3)の数より決まる前記のクロックバッファ(2)の遅延時間と前記の配線遅延時間との合計時間を加算した時間であるとして論理設計を行うようにしてあると、論理設計段階でのシミュレーションの精度が高く、最終シミュレーションの後再度論理設計に戻ることをなくしうるので都合がよい。

【0013】

【作用】本発明に係る半導体集積回路のクロック配線回路の設計方法においては、

イ、クロックバッファ2は論理設計時には配置せず、レイアウト設計時にクロックバッファ2の配置を決めている。

ロ、クロック配線枝パターン5は、このクロック配線枝パターン5と関連するクロック配線幹パターン4の遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくように配置を決めている。

【0015】このため、

ハ、クロックバッファ2とクロック信号を必要とする回路素子3との物理的配置を見てクロックバッファ2の論理的配置を決めることができ、クロックバッファ2の物理的配置を、そのクロックバッファ2に接続される複数のクロック信号を必要とする回路素子3までの距離の差がそれほど無いように決めることができる。そして、クロック信号を必要とする回路素子3までの配線長の多少の差はクロック配線枝パターン5の配置を若干変更することにより無くしうるので、このクロックバッファ2に接続されるクロック信号を必要とする回路素子3におけるクロックスキューを無くすことができる。

【0016】ニ、I/O入力バッファ1から直接接続される異なるクロックバッファ2に接続されるクロック信号を必要とする回路素子3相互間においては、クロック配線幹パターン4とクロック配線枝パターン5との和の遅延時間が配線遅延時間に近づくようにしているから、クロックスキューの増加を抑制することができる。

【0017】

【実施例】以下、図面を参照して、本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法についてさらに詳細に説明する。

【0018】図1参照

図1は本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路である。図1において、1は外部よりクロック信号が入力されるI/O入力バッファであり、3はクロック信号を必要とする回路素子であり、6は論理設計された

た。このため、クロックバッファ2の論理的配置、すなわち、どのクロック信号を必要とする回路素子3を駆動するかは論理設計において既に決められており、レイアウト設計時に、クロックバッファ2やクロック信号を必要とする回路素子3の物理的配置を決めるとき図5のようなことが生ずる。

#### 【0009】図5参照

図5は従来技術に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時の最終配置図である。図5において、4はI/O入力バッファ1とクロックバッファ2とを結ぶクロック配線幹パターンであり、5はクロックバッファ2とクロック信号を必要とする回路素子3とを結ぶクロック配線枝パターンである。クロック信号を必要とする回路素子3の内、aの回路素子とbの回路素子とでは、クロック配線枝パターン5の配線長が大きく異なる。配線長に比例して静電容量と抵抗とが共に増大するため、遅延時間も増大する。このため、遅延時間に差が生じ、論理設計段階では想定していなかったクロックスキューが発生することになる。半導体集積回路が大規模化されるに伴い、全てのクロック配線パターンの配線長を同程度にすることが困難になり、クロックスキューの発生頻度が増大する。このクロックスキューは最終的なシミュレーションにおいて問題が顕在化し、論理設計からやり直す羽目にもなりかねない。

【0010】本発明の目的は、これらの問題を解消することにより、大規模な半導体集積回路であってもクロックスキューの発生を抑制しうる半導体集積回路のクロック配線回路の設計方法を提供することにある。

#### 【0011】

【課題を解決するための手段】上記の目的は、論理設計を行い、次に、レイアウト設計を行い、クロックバッファ(2)をツリー状に配置する半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路にはクロックバッファ(2)を設けず、クロック信号が入力されるI/O入力バッファ(1)のみを設け、このI/O入力バッファ(1)よりクロック信号を必要とする回路素子(3)に直接接続し、レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子(3)の数より決まる前記のクロックバッファ(2)をツリー状に配置し、ツリー状に配置された前記のクロックバッファ(2)の内直接前記のI/O入力バッファ(1)と接続されるクロックバッファ(2)と前記のI/O入力バッファ(1)とを接続するクロック配線幹パターン(4)を配置し、ツリー状に配置された前記のクロックバッファ(2)と前記のクロック信号を必要とする回路素子(3)とを接続するクロック配線枝パターン(5)は、このクロック配線枝パターン(5)と関連する前記のクロック配線幹パターン(4)の遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくよう

に配置する半導体集積回路のクロック配線回路の設計方法によって達成される。

【0012】また、論理設計時の前記のI/O入力バッファ(1)の遅延時間として、このI/O入力バッファ(1)の遅延時間に、前記のクロック信号を必要とする回路素子(3)の数より決まる前記のクロックバッファ(2)の遅延時間と前記の配線遅延時間との合計時間を加算した時間であるとして論理設計を行うようにしてあると、論理設計段階でのシミュレーションの確度が高く、最終シミュレーションの後再度論理設計に戻ることをなくしうるので都合がよい。

#### 【0013】

【作用】本発明に係る半導体集積回路のクロック配線回路の設計方法においては、

イ、クロックバッファ2は論理設計時には配置せず、レイアウト設計時にクロックバッファ2の配置を決めている。

ロ、クロック配線枝パターン5は、このクロック配線枝パターン5と関連するクロック配線幹パターン4の遅延時間を半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間より差し引いた遅延時間に近づくように配置を決めている。

#### 【0015】このため、

ハ、クロックバッファ2とクロック信号を必要とする回路素子3との物理的配置を見てクロックバッファ2の論理的配置を決めることができ、クロックバッファ2の物理的配置を、そのクロックバッファ2に接続される複数のクロック信号を必要とする回路素子3までの距離の差がそれほど無いように決めることができる。そして、クロック信号を必要とする回路素子3までの配線長の多少の差はクロック配線枝パターン5の配置を若干変更することにより無くしうるので、このクロックバッファ2に接続されるクロック信号を必要とする回路素子3におけるクロックスキューを無くすことができる。

【0016】ニ、I/O入力バッファ1から直接接続される異なるクロックバッファ2に接続されるクロック信号を必要とする回路素子3相互間においては、クロック配線幹パターン4とクロック配線枝パターン5との和の遅延時間が配線遅延時間に近づくようにしているから、クロックスキューの増加を抑制することができる。

#### 【0017】

【実施例】以下、図面を参照して、本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法についてさらに詳細に説明する。

#### 【0018】図1参照

図1は本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法において、論理設計時のクロック回路である。図1において、1は外部よりクロック信号が入力されるI/O入力バッファであり、3はクロック信号を必要とする回路素子であり、6は論理設計された

10

20

30

40

50

論理回路を機能毎に分解した論理ブロックである。このクロック回路図ではI/O入力バッファ1の駆動能力は考慮せずに、クロック信号を必要とする回路素子3のすべてが直接I/O入力バッファ1に接続されている。なお、Aはクロック信号を必要とする回路素子3の数が多く1個のクロックバッファ2では駆動できない論理ブロック6である。

【0019】そして、論理設計段階におけるシミュレーションのために、I/O入力バッファ1の遅延時間は、クロック信号を必要とする回路素子3の数より決まるクロックバッファ2の遅延時間と半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間(クロック配線遅延時間をXとする。)との合計時間をI/O入力バッファ1自身の遅延時間に加算した時間であるとしている。シミュレーションの結果、要求仕様を満足しておれば、論理設計は完了である。

【0020】図2参照

図2は本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時間のフロアプラン図である。図2において、2はクロックバッファであり、4はI/O入力バッファ1とクロックバッファ2とを接続するクロック配線幹パターンである。図2のフロアプラン図に示されているクロック回路には、図1のクロック回路に対して、I/O入力バッファ1に直接接続され、クロック信号を必要とする回路素子3の数より決まるクロックバッファ2が追加されている。Aをもって示されている論理ブロック6に2個のクロックバッファ2が設けられているのは、この論理ブロック6にクロック信号を必要とする回路素子3の数が多く1個のクロックバッファ2では駆動できないことを示している。これに対して、Bをもって示されている論理ブロック6のクロックバッファ2が1個であるのは、この論理ブロック6にあるクロック信号を必要とする回路素子3の全てが1個のクロックバッファ2で駆動できることを示している。

【0021】なお、このフロアプラン図の段階では、Aをもって示されている論理ブロック6の2個のクロックバッファ2のそれぞれが図1のAの論理ブロック6のクロック信号を必要とする回路素子3のどれとどれとを駆動するかは、まだ決定されていない。

【0022】図3参照

図3は本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時の最終配置図である。図3において、5はクロックバッファ2とクロック信号を必要とする回路素子3とを接続するクロック配線枝パターンである。この段階で、Aをもって示されている論理ブロック6の2個のクロックバッファ2のそれぞれが図1のAの論理ブロック6のクロック信号を必要とする回路素子3のどれとどれとを駆動するかがクロック配線枝パターン5の配線長ができるだけ等

しくなるように決定される。そして、クロック配線枝パターン5の物理的配置は次のように行う。すなわち、まず、クロック配線幹パターン4の配線遅延時間を計算する。図中のYA1、YA2、YBはクロック配線幹パターン4の配線遅延時間である。次に、クロック配線枝パターン5の配線遅延時間とこのクロック配線枝パターン5に関係するクロック配線幹パターン4の配線遅延時間との和がクロック配線遅延時間Xになるように配線すればよい。すなわち、クロック配線枝パターン5の配線遅延時間である図中のZA1、ZA2、ZBがそれぞれ、 $ZA1 = X - YA1$ 、 $ZA2 = X - YA2$ 、 $ZB = X - YB$ となるようにクロック配線枝パターン5を配線すればよい。

【0023】また、半導体集積回路中のクロック信号を必要とする回路素子3の数が多きときは、クロックバッファ2を多層のツリー状に配置する。このときも上記と全く同様に、クロック配線枝パターン5の配線遅延時間とこのクロック配線枝パターン5に関係するクロック配線幹パターン4の配線遅延時間との和がクロック配線遅延時間Xになるように配線すればよい。但しこの場合には、クロック配線枝パターン5はクロックバッファ2相互を接続するクロック配線とクロックバッファ2とクロック信号を必要とする回路素子3とを接続するクロック配線との2種類のクロック配線からなることに注意する必要がある。

【0024】以上により、本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法を終了する。この方法によれば、クロックスキューを最小にすることができ、論理設計段階においてほぼ最終シミュレーション段階に近い遅延時間となっているので、クロック回路やクロック配線パターンにもとづく設計のやり直しを防止することができる。

【0025】なお、フロアプランの段階においてクロック配線幹パターン4相互の遅延時間の差が大きいときは遅延時間の短いクロック配線幹パターン4に素子を付加するなどして遅延時間の差を縮めることもできる。

【0026】

【発明の効果】以上説明したように、本発明に係る半導体集積回路のクロック配線回路の設計方法によれば、レイアウト設計のフロアプラン後の詳細配置の段階において、クロック回路を完成させている。このため、I/O入力バッファから直接接続されるクロックバッファについてのクロックスキューを抑制することができる。さらに、半導体集積回路全体の面積より想定されるクロック配線遅延時間Xに対して、クロック配線枝パターンの配線遅延時間とこのクロック配線枝パターンに関係するクロック配線幹パターンの配線遅延時間との和がクロック配線遅延時間Xになるように配線しているので、半導体集積回路全体のクロックスキューをも抑制することができる。さらに、論理設計段階において、I/O入力バッファの遅延時間としてクロックバッファの遅延時間とク

5

論理回路を機能毎に分解した論理ブロックである。このクロック回路図ではI/O入力バッファ1の駆動能力は考慮せずに、クロック信号を必要とする回路素子3のすべてが直接I/O入力バッファ1に接続されている。なお、Aはクロック信号を必要とする回路素子3の数が多く1個のクロックバッファ2では駆動できない論理ブロック6である。

【0019】そして、論理設計段階におけるシミュレーションのために、I/O入力バッファ1の遅延時間は、クロック信号を必要とする回路素子3の数より決まるクロックバッファ2の遅延時間と半導体集積回路全体の面積より想定されるクロック信号配線の配線遅延時間(クロック配線遅延時間をXとする。)との合計時間をI/O入力バッファ1自身の遅延時間に加算した時間であるとしている。シミュレーションの結果、要求仕様を満足しておれば、論理設計は完了である。

【0020】図2参照

図2は本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時間のフロアプラン図である。図2において、2はクロックバッファであり、4はI/O入力バッファ1とクロックバッファ2とを接続するクロック配線幹パターンである。図2のフロアプラン図に示されているクロック回路には、図1のクロック回路に対して、I/O入力バッファ1に直接接続され、クロック信号を必要とする回路素子3の数より決まるクロックバッファ2が追加されている。Aをもって示されている論理ブロック6に2個のクロックバッファ2が設けられているのは、この論理ブロック6にクロック信号を必要とする回路素子3の数が多く1個のクロックバッファ2では駆動できないことを示している。これに対して、Bをもって示されている論理ブロック6のクロックバッファ2が1個であるのは、この論理ブロック6にあるクロック信号を必要とする回路素子3の全てが1個のクロックバッファ2で駆動できることを示している。

【0021】なお、このフロアプラン図の段階では、Aをもって示されている論理ブロック6の2個のクロックバッファ2のそれぞれが図1のAの論理ブロック6のクロック信号を必要とする回路素子3のどれとどれとを駆動するかは、まだ決定されていない。

【0022】図3参照

図3は本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時の最終配置図である。図3において、5はクロックバッファ2とクロック信号を必要とする回路素子3とを接続するクロック配線枝パターンである。この段階で、Aをもって示されている論理ブロック6の2個のクロックバッファ2のそれぞれが図1のAの論理ブロック6のクロック信号を必要とする回路素子3のどれとどれとを駆動するかがクロック配線枝パターン5の配線長ができるだけ等

6

しくなるように決定される。そして、クロック配線枝パターン5の物理的配置は次のように行う。すなわち、まず、クロック配線幹パターン4の配線遅延時間を計算する。図中のYA1、YA2、YBはクロック配線幹パターン4の配線遅延時間である。次に、クロック配線枝パターン5の配線遅延時間とこのクロック配線枝パターン5に関係するクロック配線幹パターン4の配線遅延時間との和がクロック配線遅延時間Xになるように配線すればよい。すなわち、クロック配線枝パターン5の配線遅延時間である図中のZA1、ZA2、ZBがそれぞれ、 $ZA1 = X - YA1$ 、 $ZA2 = X - YA2$ 、 $ZB = X - YB$ となるようにクロック配線枝パターン5を配線すればよい。

【0023】また、半導体集積回路中のクロック信号を必要とする回路素子3の数が多きときは、クロックバッファ2を多層のツリー状に配置する。このときも上記と全く同様に、クロック配線枝パターン5の配線遅延時間とこのクロック配線枝パターン5に関係するクロック配線幹パターン4の配線遅延時間との和がクロック配線遅延時間Xになるように配線すればよい。但しこの場合には、クロック配線枝パターン5はクロックバッファ2相互を接続するクロック配線とクロックバッファ2とクロック信号を必要とする回路素子3とを接続するクロック配線との2種類のクロック配線からなることに注意する必要がある。

【0024】以上により、本発明の1実施例に係る半導体集積回路のクロック配線回路の設計方法を終了する。この方法によれば、クロックスキューを最小にすることができ、論理設計段階においてほぼ最終シミュレーション段階に近い遅延時間となっているので、クロック回路やクロック配線パターンにもとづく設計のやり直しを防止することができる。

【0025】なお、フロアプランの段階においてクロック配線幹パターン4相互の遅延時間の差が大きいときは遅延時間の短いクロック配線幹パターン4に素子を付加するなどして遅延時間の差を縮めることもできる。

【0026】

【発明の効果】以上説明したように、本発明に係る半導体集積回路のクロック配線回路の設計方法によれば、レイアウト設計のフロアプラン後の詳細配置の段階において、クロック回路を完成させている。このため、I/O入力バッファから直接接続されるクロックバッファについてのクロックスキューを抑制することができる。さらに、半導体集積回路全体の面積より想定されるクロック配線遅延時間Xに対して、クロック配線枝パターンの配線遅延時間とこのクロック配線枝パターンに関係するクロック配線幹パターンの配線遅延時間との和がクロック配線遅延時間Xになるように配線しているので、半導体集積回路全体のクロックスキューをも抑制することができる。さらに、論理設計段階において、I/O入力バッファの遅延時間としてクロックバッファの遅延時間とク



7

ロック配線遅延時間とを含めてシミュレーションを行っているので、ほぼ最終シミュレーションに近いシミュレーションを行うことができ、再設計の必要がない。

【図面の簡単な説明】

【図1】 本発明の1実施例に係る論理設計時のクロック回路である。

【図2】 本発明の1実施例に係るレイアウト設計時のフロアプラン図である。

【図3】 本発明の1実施例に係るレイアウト設計時の最終配置図である。

【図4】 従来技術に係る論理設計時のクロック回路であ

る。

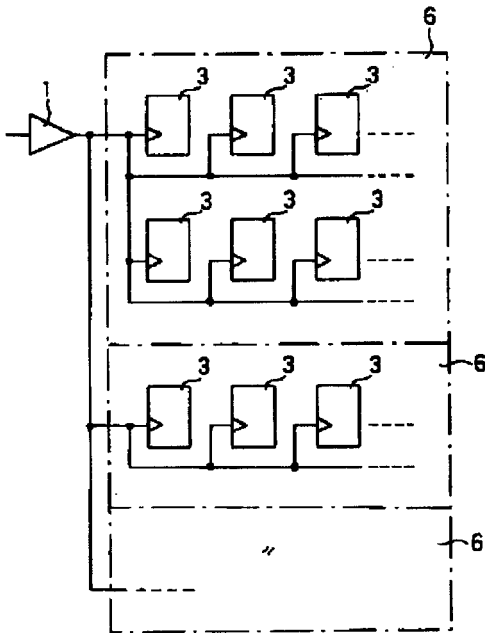
【図5】 従来技術に係るレイアウト設計時の最終配置図である。

【符号の説明】

- 1 I/O入力バッファ
- 2 クロックバッファ
- 3 クロック信号を必要とする回路素子
- 4 クロック配線幹パターン
- 5 クロック配線枝パターン
- 6 論理ブロック

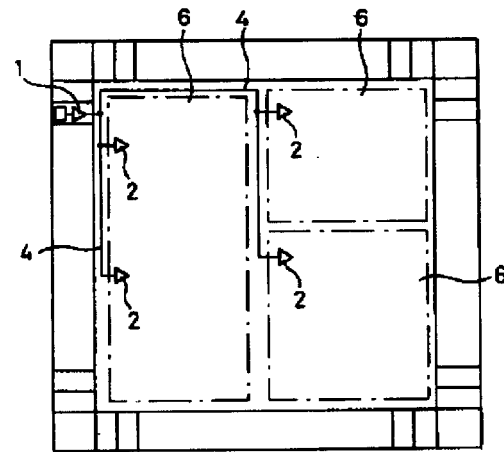
【図1】

本発明の論理設計時のクロック回路



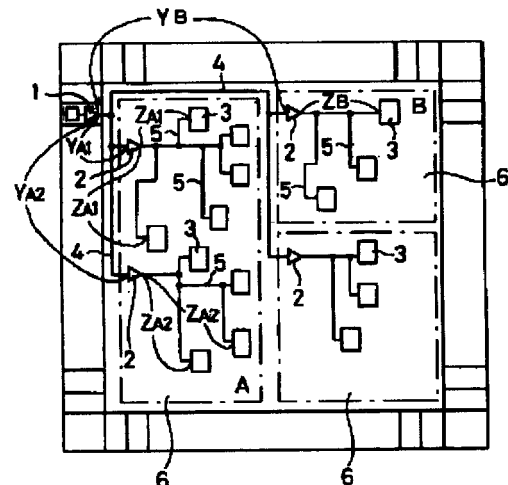
【図2】

本発明のレイアウト設計時のフロアプラン図



【図3】

本発明のレイアウト設計時の最終配置図



ロック配線遅延時間とを含めてシミュレーションを行っているので、ほぼ最終シミュレーションに近いシミュレーションを行うことができ、再設計の必要がない。

【図面の簡単な説明】

【図1】 本発明の1実施例に係る論理設計時のクロック回路である。

【図2】 本発明の1実施例に係るレイアウト設計時のフロアプラン図である。

【図3】 本発明の1実施例に係るレイアウト設計時の最終配置図である。

【図4】 従来技術に係る論理設計時のクロック回路であ

る。

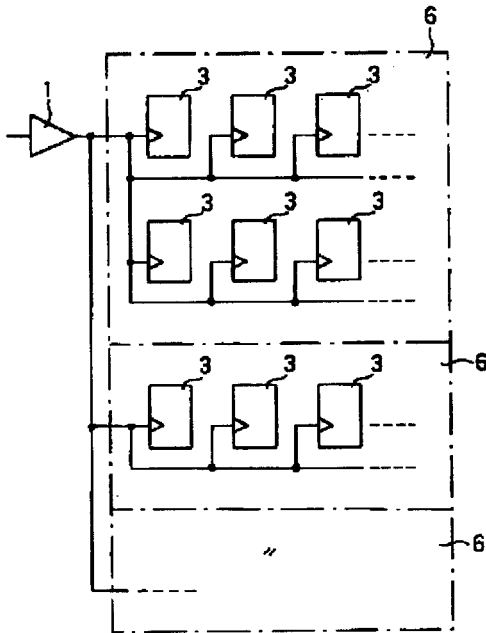
【図5】 従来技術に係るレイアウト設計時の最終配置図である。

【符号の説明】

- 1 I/O入力バッファ
- 2 クロックバッファ
- 3 クロック信号を必要とする回路素子
- 4 クロック配線幹パターン
- 5 クロック配線枝パターン
- 6 論理ブロック

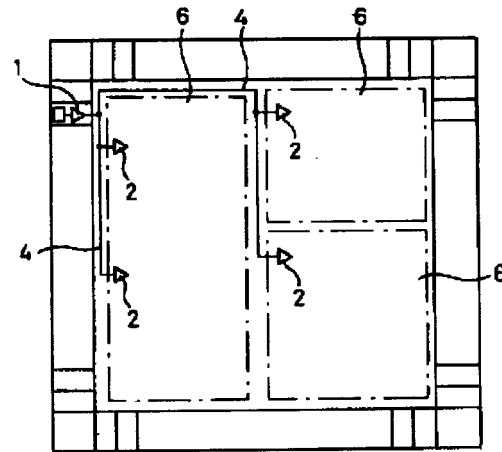
【図1】

本発明の論理設計時のクロック回路



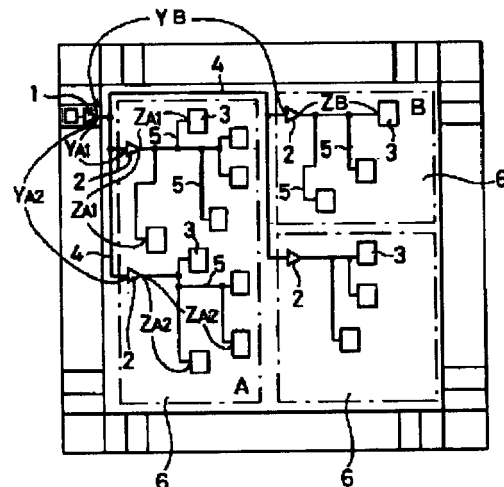
【図2】

本発明のレイアウト設計時のフロアプラン図



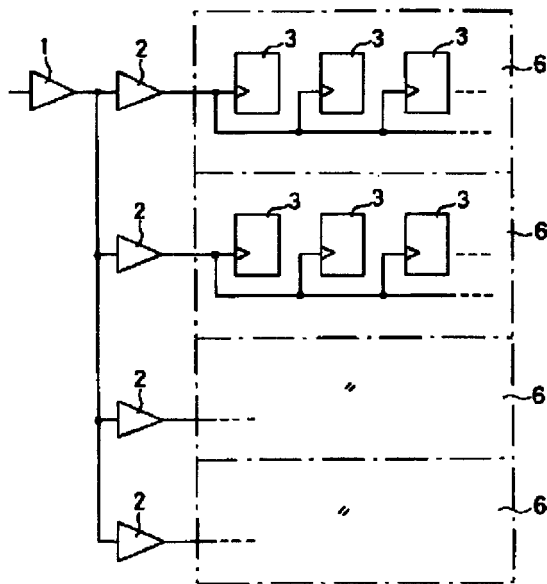
【図3】

本発明のレイアウト設計時の最終配置図



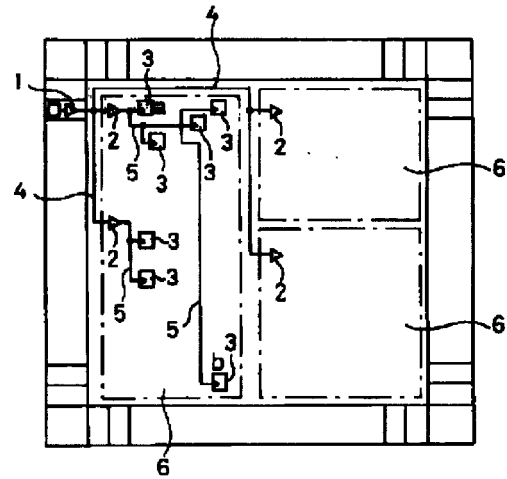
【図4】

従来技術の論理設計時のクロック回路



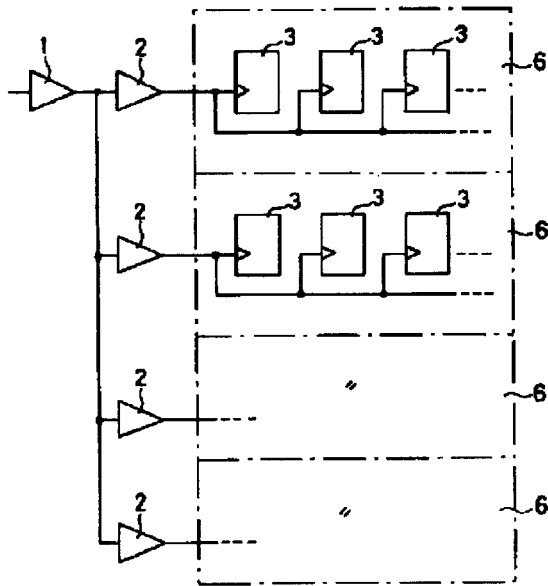
【図5】

従来技術のレイアウト設計時の最終配置図



【図4】

従来技術の論理設計時のクロック回路



【図5】

従来技術のレイアウト設計時の最終配置図

